

PAT-NO: JP02001060838A
DOCUMENT-IDENTIFIER: JP 2001060838 A
TITLE: COMPOSITE PARTS

PUBN-DATE: March 6, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKAZAWA, TOMOO	N/A
SAKAI, SEIJI	N/A
OI, TAKAAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MURATA MFG CO LTD	N/A

APPL-NO: JP11236027
APPL-DATE: August 23, 1999

INT-CL (IPC): H03 H 005/12 , H03 H 007/075

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain small composite parts provided with a sufficient static electricity suppressing effect with a little distortion in the waveform of a high frequency signal by providing a parallel circuit consisting of a first varistor and an inductor and the second varistor which is electrically and serially connected to the parallel circuit.

SOLUTION: The composite parts 1 are provided with a circuit configuration where the varistor 2 is electrically and serially connected to the parallel circuit 5 consisting of the varistor 3 and the inductor 4. An input/output electrode 10 and a grounded electrode 11 are respectively and electrically connected to the both ends of the serial circuit by the varistor 2 and the parallel circuit 5. The vibrator 3 is connected to the inductor 4 in parallel so that low

impedance is obtained in the varistor 3 when static electricity is applied. Then a current by static electricity is made to flow into the varistor 3 and static electricity is suppressed. In the case of normal operation without applying static electricity, the varistor 3 and the inductor 4 constitute an LC parallel resonance circuit to compose a band-pass filter.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60838

(P2001-60838A)

(43) 公開日 平成13年3月6日(2001.3.6)

(51) Int.Cl.⁷

識別記号

F I

データベース(参考)

H 0 3 H 5/12
7/075

H 0 3 H 5/12
7/075

5 J 0 2 4

A

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平11-236027

(22) 出願日 平成11年8月23日(1999.8.23)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 高澤 知生

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 坂井 清司

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74) 代理人 100091432

弁理士 森下 武一

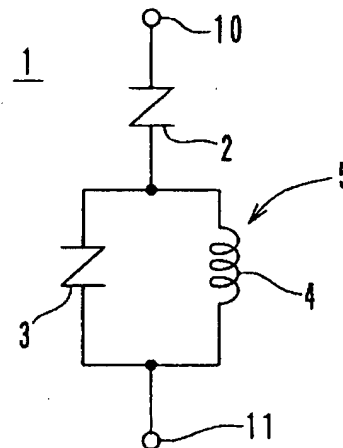
最終頁に続く

(54) 【発明の名称】 複合部品

(57) 【要約】

【課題】 十分な静電気抑制効果を有し、かつ、高周波信号の波形の歪みの小さい小型の複合部品を提供する。

【解決手段】 複合部品1は、バリスタ3とインダクタ4からなる並列回路5に、さらに、バリスタ2を電氣的に直列に接続した回路構成を有している。バリスタ2と並列回路5との直列回路の両端に、それぞれ入出力電極10とグラウンド電極11が電氣的に接続されている。



【特許請求の範囲】

【請求項1】 第1のバリスタとインダクタからなる並列回路と、

前記並列回路に電氣的に直列に接続された第2のバリスタと、

前記第2のバリスタと前記並列回路との直列回路の両端に接続された入出力電極及びグランド電極と、

を備えたことを特徴とする複合部品。

【請求項2】 複数の絶縁層と複数のインダクタパターンと複数のバリスタパターンとを積み重ねて構成した積層体と、

前記積層体に内蔵された、前記インダクタパターンにより形成されるインダクタと、

前記積層体に内蔵された、前記バリスタパターンにより形成される第1のバリスタ及び第2のバリスタと、

前記積層体の表面に設けられた入出力電極及びグランド電極とを備え、

前記第1のバリスタと前記インダクタからなる並列回路に、前記第2のバリスタが電氣的に直列に接続されていること、

を特徴とする複合部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複合部品、特に、バリスタ素子を有した複合部品に関する。

【0002】

【従来の技術】 近年、IC、LSI等の半導体デバイスは、高集積化のため、静電気に対して更に弱くなっている。この静電気対策として、バリスタ等の電子部品が使用されている。また、これとは別に、図6に示す回路構成を有する複合部品60も提案されている。該複合部品60は、一つのインダクタ53と二つのバリスタからなる π 型回路を有している。図6において、50は入力電極、51は出力電極、52はグランド電極である。

【0003】

【発明が解決しようとする課題】 ところで、ハードディスク等の装置における高周波でかつ高品位（波形歪みがない）の信号を使用する高速信号ラインにおいて、静電気対策が必要な用途が増えてきている。このような用途では、静電気が加わっていない通常作動状態では信号周波数領域で高インピーダンスであり、かつ静電気に対しては、装置に対し十分な保護効果を有する部品が必要とされる。しかしながら、バリスタは容量成分をもつため、静電気が加わっていない通常作動状態では、高周波領域でインピーダンスが小さくなり、信号波形を歪ませる問題があった。また、容量値を小さくすることで高周波でのインピーダンスを小さくすることは、バリスタのサージ耐量を小さくしてしまうという問題があった。また、図6に示した従来の複合部品60は、静電気が加わっていない通常作動状態では、高周波でのインピーダン

スが小さくなり、これも信号波形を歪ませる問題があった。

【0004】そこで、本発明の目的は、十分な静電気抑制効果を有し、かつ、高周波信号の波形の歪みの小さい小型の複合部品を提供することにある。

【0005】

【課題を解決するための手段】 以上の目的を達成するため、本発明に係る複合部品は、(a) 第1のバリスタとインダクタからなる並列回路と、(b) 前記並列回路に電氣的に直列に接続された第2のバリスタと、(c) 前記第2のバリスタと前記並列回路との直列回路の両端に接続された入出力電極及びグランド電極と、を備えたことを特徴とする。

【0006】また、本発明に係る複合部品は、(d) 複数の絶縁層と複数のインダクタパターンと複数のバリスタパターンとを積み重ねて構成した積層体と、(e) 前記積層体に内蔵された、前記インダクタパターンにより形成されるインダクタと、(f) 前記積層体に内蔵された、前記バリスタパターンにより形成される第1のバリスタ及び第2のバリスタと、(g) 前記積層体の表面に設けられた入出力電極及びグランド電極とを備え、

(h) 前記第1のバリスタと前記インダクタからなる並列回路に、前記第2のバリスタが電氣的に直列に接続されていること、を特徴とする。

【0007】

【作用】 以上の構成により、入出力電極とグランド電極の間に、第1のバリスタと第2のバリスタが直列接続されているため、静電気はこれらバリスタによって吸収、除去される。インダクタに並列に接続されている第1のバリスタ及び第2のバリスタは、静電気印加時に低インピーダンスとなり、静電気を吸収する。しかも、一般に、バリスタはコンデンサ機能も有しているため、第1のバリスタとインダクタとでLC並列共振回路を形成し、バンドパスフィルタを構成する。バンドパスフィルタは高周波領域でのインピーダンスを高くすることが可能であり、高周波信号の波形の歪みを抑えることができる。

【0008】

【発明の実施の形態】 以下、本発明に係る複合部品の一実施形態について添付図面を参照して説明する。

【0009】図1に示すように、複合部品1は、バリスタ3とインダクタ4からなる並列回路5に、さらに、バリスタ2を電氣的に直列に接続した回路構成を有している。バリスタ2と並列回路5との直列回路の両端に、それぞれ入出力電極10とグランド電極11が電氣的に接続されている。

【0010】前記のような回路構成を有する複合部品1としては、例えば図2～図4に示すような構成を有するものがある。図2に示すように、複合部品1は、インダクタパターン31、32、33、34をそれぞれ表面に

設けた絶縁性シート22, 23, 24, 25と、バリスタパターン35, 36をそれぞれ表面に設けた絶縁性シート27, 29と、バリスタパターン37を表面に設けた絶縁性シート26, 28等にて構成されている。

【0011】インダクタパターン31~34は、シート22~24にそれぞれ設けたビアホール40a, 40b, 40cを介して電氣的に直列に接続され、螺旋状インダクタ4を構成している。インダクタパターン31の引出し部31aはシート22の右辺に露出している。

【0012】バリスタパターン35は、シート27, 29の左寄りの位置にそれぞれ形成され、その一端はシート27, 29の左辺に露出している。同様に、バリスタパターン36は、シート27, 29の右寄りの位置にそれぞれ形成され、その一端はシート27, 29の右辺に露出している。バリスタパターン35, 36は、絶縁性シート26~28を挟んで広面積のバリスタパターン37に対向し、それぞれバリスタ2, 3を形成する。バリスタパターン37は、シート25~27にそれぞれ設けたビアホール40d, 40e, 40fを介してインダクタ4の一端(具体的には、インダクタパターン34)に電氣的に接続されている。そして、バリスタ3とインダクタ4にて並列回路5を構成する。

【0013】絶縁性シート21~29は、バリスタ特性を有する半導体セラミック材料(例えば、ZnOセラミックを主成分とした材料)からなる四角形状のシートである。パターン31~37は、Pt, Ag, Pd, Cu, Au, Ag-Pd等からなり、印刷等の方法により形成される。

【0014】以上の各シート21~29を、図2に示すように、順に積み重ねて圧着した後、一体的に焼成することにより、図3に示す積層体41を形成する。この積層体41は、インダクタ4を内蔵したインダクタ部42を上部に配置し、バリスタ2, 3を内蔵したバリスタ部43を下部に配置している。積層体41の左右の端面には、それぞれAg等からなる入出力電極10及びグランド電極11が形成されている。入出力電極10にはバリスタパターン35が電氣的に接続され、グランド電極11にはインダクタパターン31の引出し部31a及びバリスタパターン36が電氣的に接続されている。

【0015】以上の構成からなる複合部品1は、入出力電極10とグランド電極11の間にバリスタ2, 3が直列接続されているので、静電気印加時はこれらバリスタ2, 3によって静電気を吸収、除去することができる。通常、信号ラインとGNDの間にインダクタを有すると、静電気の抑制効果が不十分となる。しかし、本発明の場合は、インダクタ4に並列にバリスタ3が接続されているので、バリスタ3は静電気印加時に低インピーダンスとなり、静電気による電流はバリスタ3に流れる。従って、静電気が十分に抑制される。

【0016】しかも、静電気が加わらない通常作動時は

一般に、バリスタはコンデンサ機能も有しているので、バリスタ3とインダクタ4はLC並列共振回路を形成し、バンドパスフィルタを構成する。バンドパスフィルタは高周波領域でのインピーダンスを高くすることが可能であり、複合部品1は高周波信号の波形の歪みを抑えることができる。具体的には、バリスタパターン35~37の対向面積や間隔を変えてバリスタ3が有するキャパシタンスを変更したり、インダクタパターン31~34の巻回数や形状を変えてインダクタ4が有するインダクタンスを変更したりして、信号周波数帯域にLC並列共振回路の共振周波数を合わせる。因みに、複合部品1のインピーダンス特性を図5に示す(実線47参照)。比較のため、バリスタのインピーダンス特性も併せて記載している(点線48参照)。図5から分かるように、複合部品1のインピーダンスは高周波領域でアップしている。

【0017】さらに、複合部品1は、二つのバリスタ2, 3と一つのインダクタ4を一つの積層体41に内蔵しているので、実装スペースを小さく、かつ、部品点数を少なくすることができる。

【0018】なお、本発明に係る複合部品は前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。前記実施形態の複合部品は、二つのバリスタと一つのインダクタを一つの積層体に内蔵した場合を好ましい例として説明しているが、ディスクリット部品のバリスタとインダクタを回路基板に実装して構成したものであってもよい。

【0019】また、前記実施形態のインダクタ部42の絶縁性シート21~25の材料として、フェライト等の磁性体材料を使用し、バリスタ部43の絶縁性シート26~29の材料であるバリスタ特性を有する半導体セラミック材料と共焼成するようにしてもよい。

【0020】また、積層体に内蔵されているインダクタとバリスタの電氣的接続手段としては、ビアホールの他に、積層体の表面に中継電極を形成し、この中継電極にインダクタとバリスタの端部をそれぞれ引き出して電氣的に接続する構造であってもよい。

【0021】さらに、前記実施形態は、それぞれインダクタパターンやバリスタパターンが形成された絶縁性シートを積み重ねた後、一体的に焼成するものであるが、必ずしもこれに限定されない。絶縁性シートは予め焼成されたものを用いてもよい。また、以下に説明する製法によって複合部品を作成してもよい。印刷等の方法によりペースト状の絶縁材料にて絶縁層を形成した後、その絶縁層の表面にペースト状の導電性材料を塗布して任意のパターンを形成する。次に、ペースト状の絶縁材料を前記パターンの上から塗布してパターンが内蔵された絶縁層とする。同様にして、順に重ね塗りすることにより積層構造を有する複合部品が得られる。

【0022】

【発明の効果】以上の説明で明らかなように、本発明によれば、入出力電極とグラウンド電極の間に、第1のバリスタと第2のバリスタを直列接続しているため、静電気はこれらバリスタによって吸収、除去される。インダクタに並列に接続されている第1のバリスタは、静電気印加時に低インピーダンスとなり、静電気による電流は第1のバリスタに流れ、インダクタには殆ど流れない。従って、静電気が十分に抑制される。しかも、一般に、バリスタはコンデンサ機能も有しているため、第1のバリスタとインダクタとでLC並列共振回路を形成し、バンドパスフィルタを構成する。バンドパスフィルタは高周波領域でのインピーダンスを高くすることが可能であり、高周波信号の波形の歪みを抑えることができる。さらに、二つのバリスタと一つのインダクタを一つの積層体に内蔵することにより、実装スペースが小さく、かつ、部品点数が少ない複合部品を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る複合部品の一実施形態を示す電気回路図。

【図2】本発明に係る複合部品の一実施形態の構成を示す分解斜視図。

【図3】図2に示した複合部品の外観斜視図。

【図4】図2に示した複合部品の模式断面図。

【図5】図2に示した複合部品のインピーダンス特性を示すグラフ。

【図6】従来の複合部品の電気回路図。

【符号の説明】

1…複合部品

2, 3…バリスタ

4…インダクタ

5…並列回路

10…入出力電極

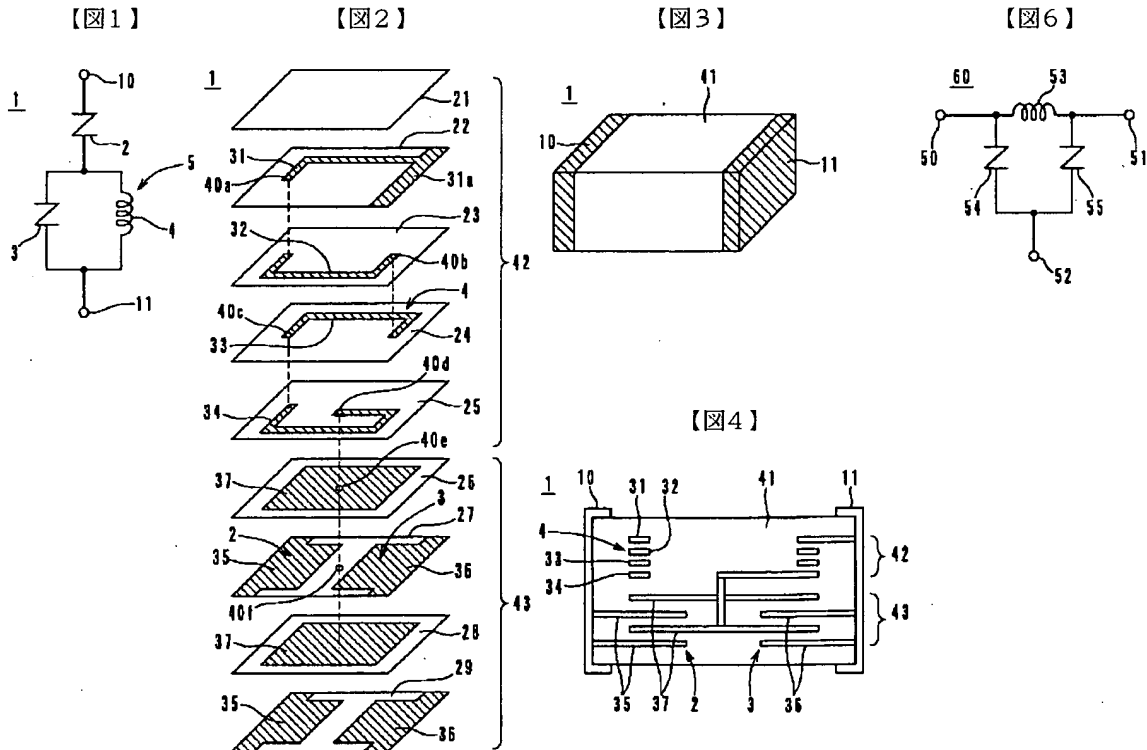
11…グラウンド電極

21~29…絶縁性シート

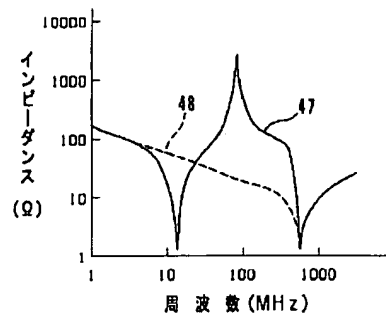
31~34…インダクタパターン

35~37…バリスタパターン

41…積層体



【図5】



フロントページの続き

(72)発明者 大井 隆明

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

Fターム(参考) 5J024 AA09 BA11 DA21 DA29 DA35